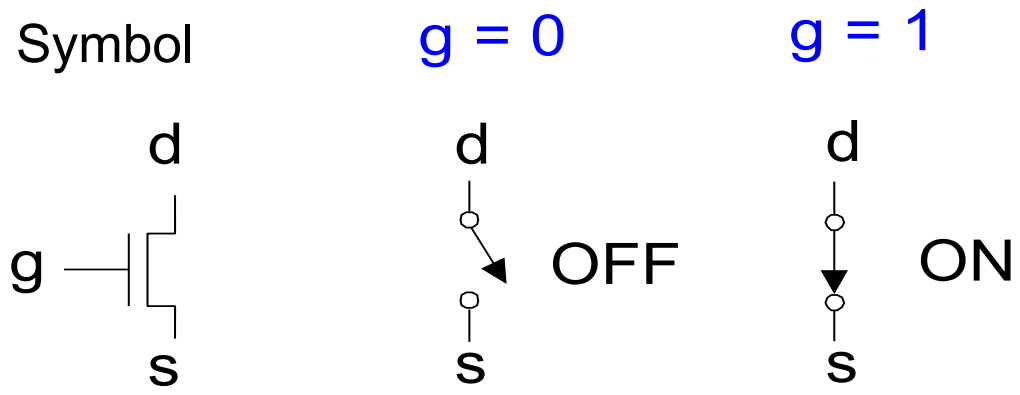
Meisenantworten

- Bitte keine Hochschulgruppen mehr auftreten lassen… *Fachschaft darf immer, über andere lasse ich abstimmen, ok?*
- Selbsttestfragen: Mehr Zeit? Timer einbauen? *Mache ich nächste Woche*
- Feedback “Submitted”… *OK, done*!
- Fehler in Fragen korriegieren! *OK … working on it*!
- Prozentzahlen für falsche Antworten jeweils angeben? *OK … working on it!*
- Snickers-Kosten pro Semester? *Geheimnis! Hint: Ich bezahl sie privat!*
- Englische Begriffe in Klausur verwenden? *Klar*!
- Bounty & Mars? *Dankeschön*!
- Folien vor Vorlesung? *Sorry, ich weiss nie wie weit ich komme und es funktioniert didaktisch schlechter…*
- Zweiseitige Tipliste? *Arbeite ich noch ab…*

Transistoren

- Logikgatter werden üblicherweise aus Transistoren aufgebaut
  - Heute überwiegend Feldeffekttransistoren (FET)
    - Warum? Größeren Vielfalt, leichtere elektrische Steuerbarkeit!
  - Weiteres bezieht sich implizit auf FETs, nicht Bipolartransistoren
- Transistoren sind spannungsgesteuerte Schalter
  - Zwei Anschlüsse werden abhängig von Spannung an einem dritten geschaltet
    - Verbunden oder getrennt
  - Beispiel: Verbindung zwischen d,s verbunden wenn g=1, getrennt wenn g=0



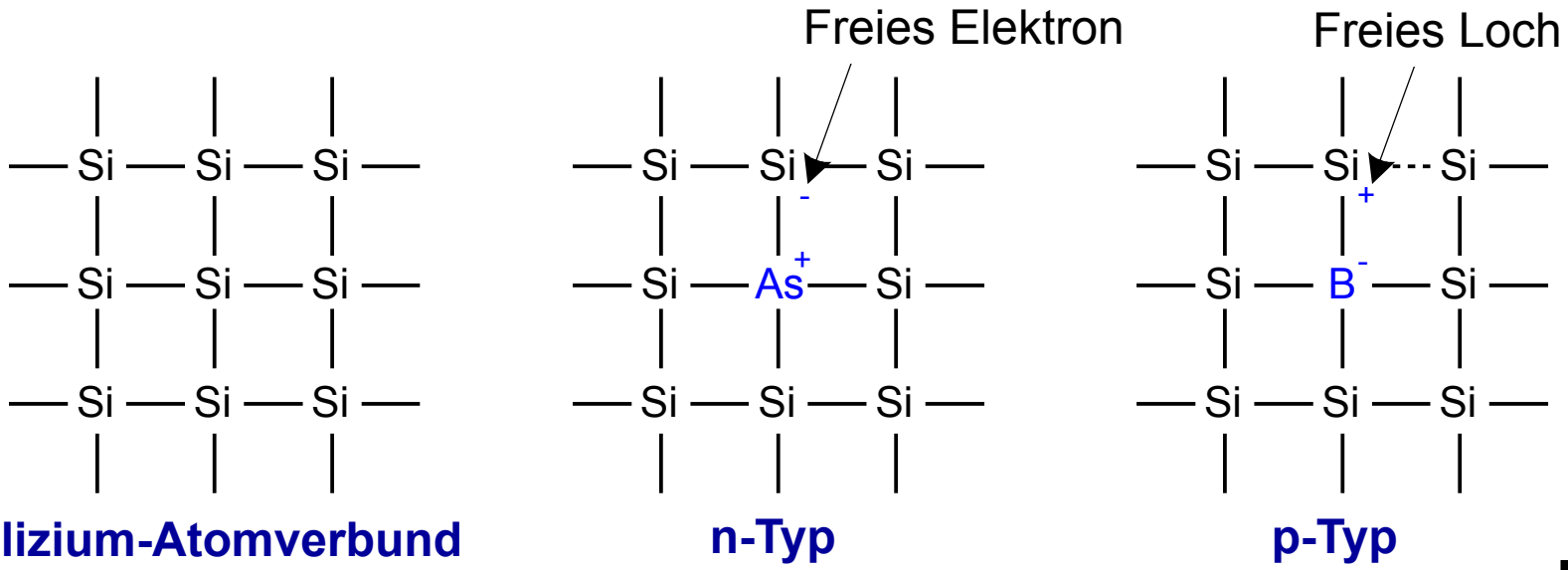
Robert Noyce, 1927 - 1990

TECHNISCHE UNIVERSITÄT DARMSTADT

- Spitzname "Bürgermeister von Silicon Valley"
- Mitgründer von Fairchild Semiconductor in 1957
- Mitgründer von Intel in 1968
- Miterfinder der integrierten Schaltung

Silizium

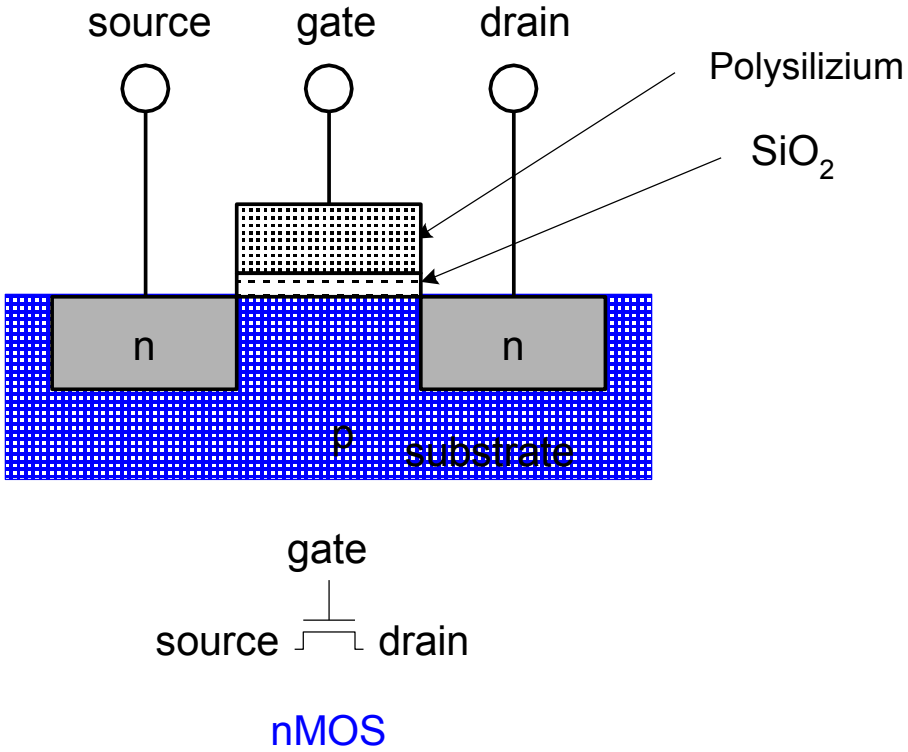
- Transistoren werden üblicherweise aus Silizium (Si, Gruppe IV) gefertigt
- Reines Silizium ist ein schlechter Leiter (keine freien Ladungsträger)
- Dotiertes Silizium ist ein guter Leiter (freie Ladungsträger)
  - n-Typ (freie *negative* Ladungsträger, Elektronen, dotiert mit Arsen, Gruppe V)
  - p-Typ (freie *positive* Ladungsträger, Löcher, dotiert mit Bor, Gruppe III)



Silizium-Atomverbund **n-Typ** **p-Typ**

MOS Feldeffekttransistoren (MOSFETs)

- Metalloxid-Silizium (MOS) Transistoren
  - Polysilizium (früher **Metallschicht**) Gate
  - **Oxid** (Siliziumdioxid = Glas) als Isolator
  - Dotiertes Silizium



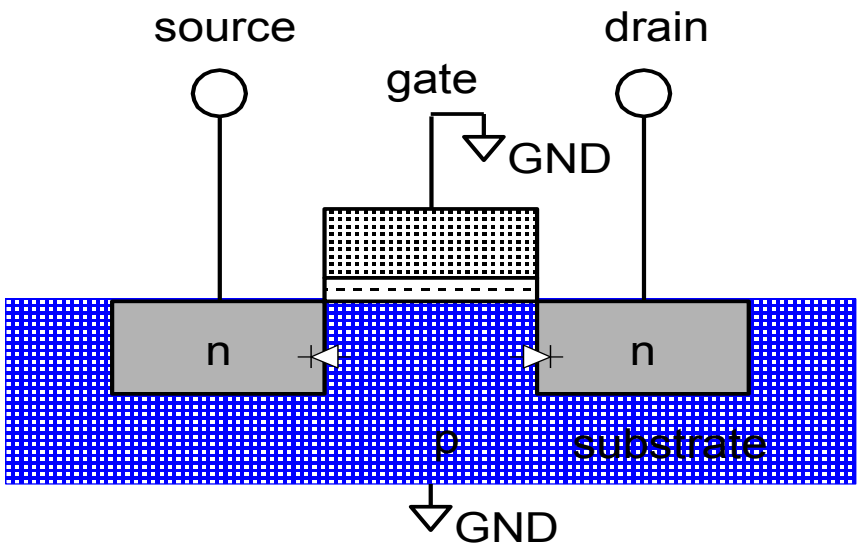
Transistor: nMOS

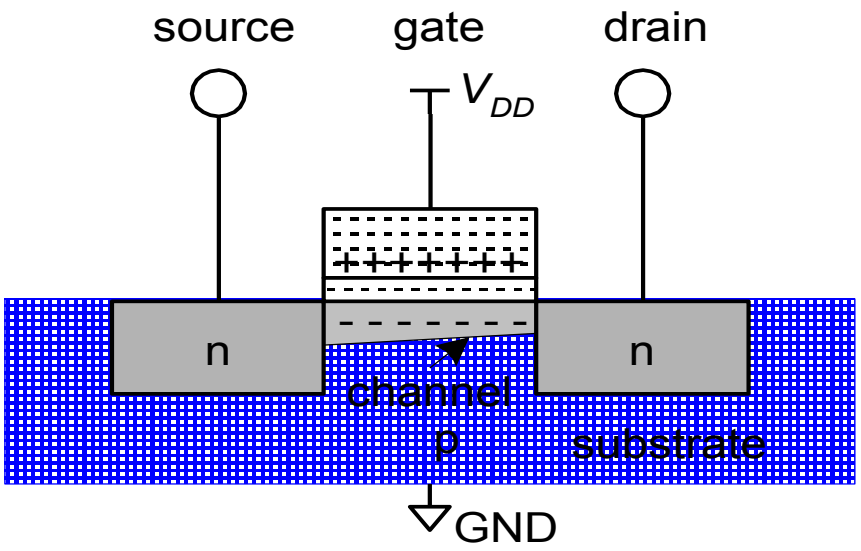
Gate = 0, ausgeschaltet

- keine Verbindung zwischen Source und Drain

Gate = 1, eingeschaltet

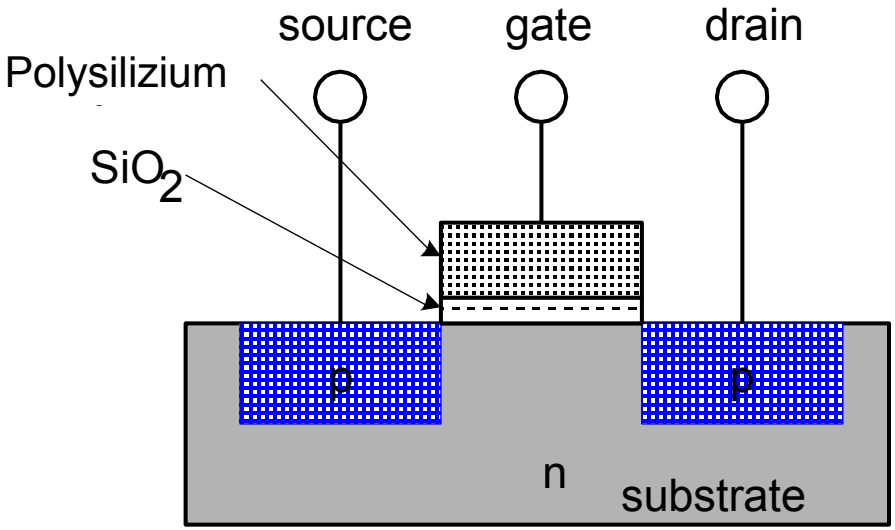
- leitfähiger Kanal zwischen Source und Drain)

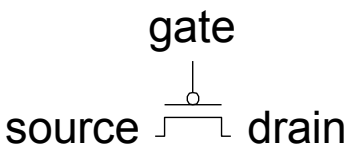




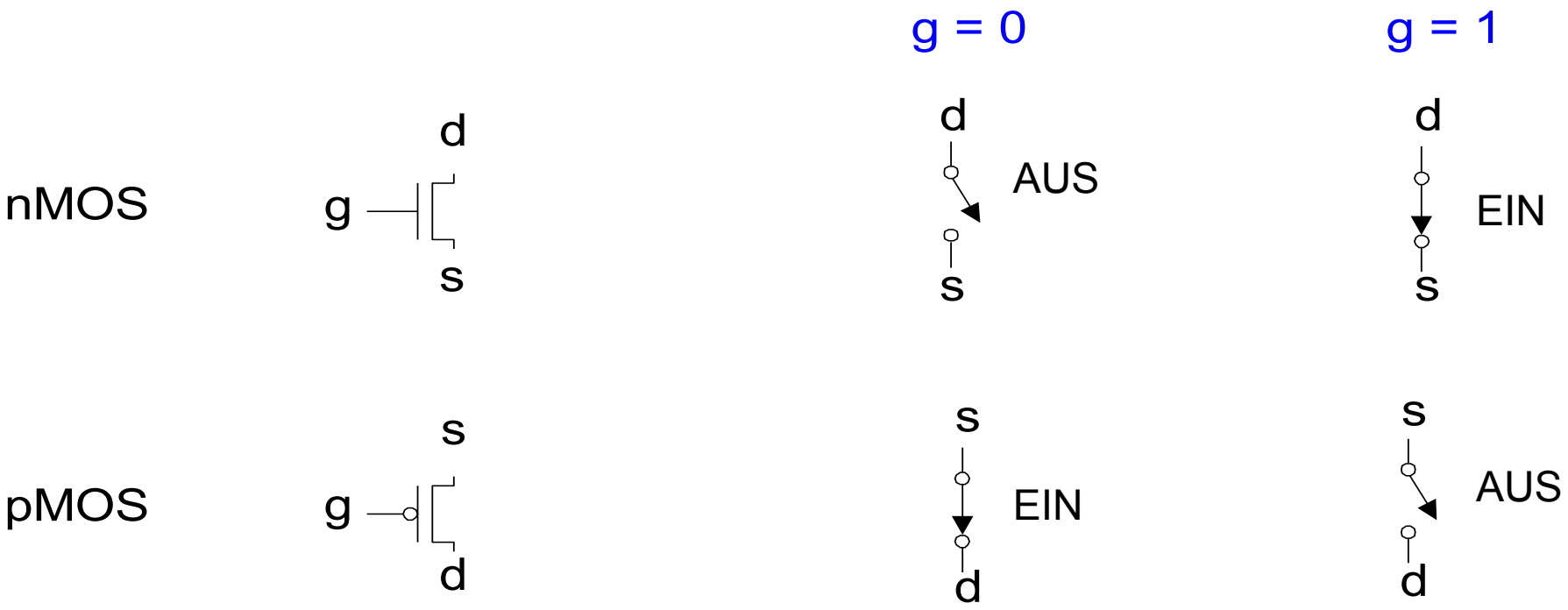
Transistor: pMOS

- Verhalten von pMOS Transistor ist genau umgekehrt
  - EIN wenn Gate = 0
  - AUS wenn Gate = 1



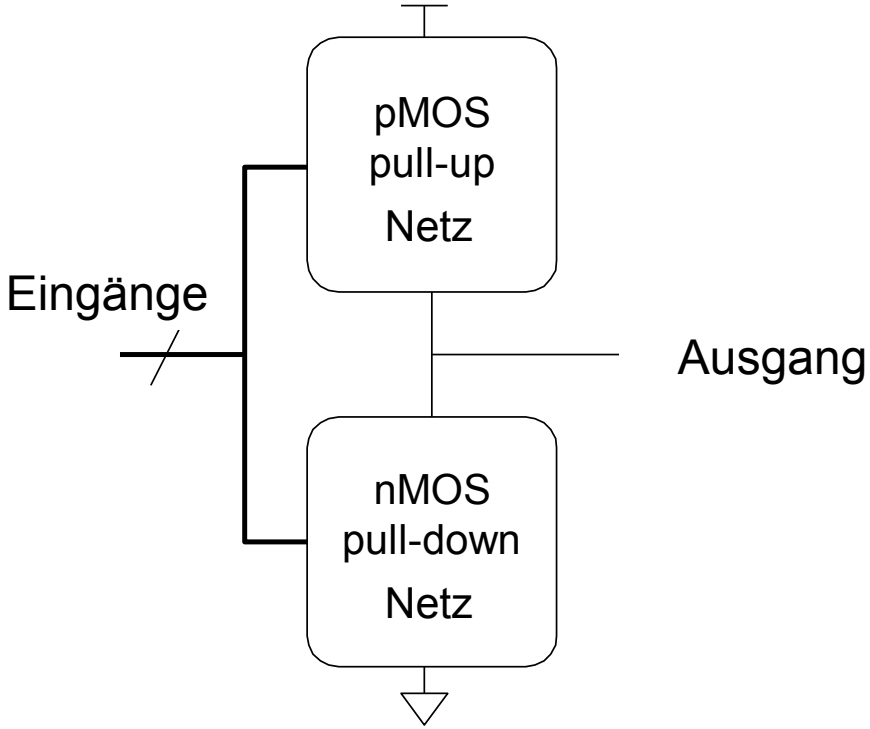


Übersicht über Funktion von Transistoren



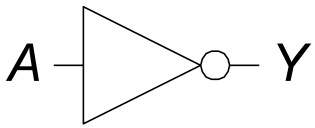
Kombinieren von komplementären Transistoren (CMOS)

- nMOS Transistoren leiten 0'en gut zwischen S und D weiter
  - 1'en werden abgeschwächt ➔ S an GND anschließen
- pMOS Transistoren leiten 1'en gut zwischen S und D weiter
  - 0'en werden abgeschwächt ➔ S an V_{DD} anschließen



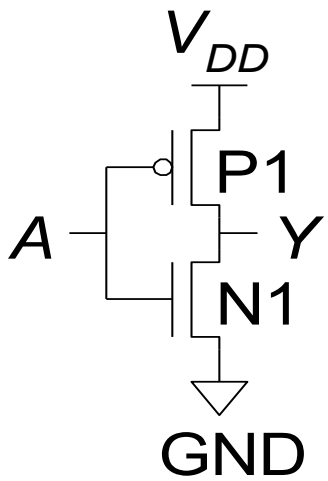
CMOS Gatter: NOT

NOT



$Y = \overline{A}$

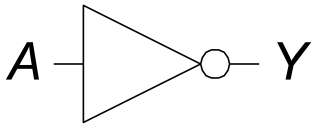
A	Y
0	1
1	0



A	P1	N1	Y
0			
1			

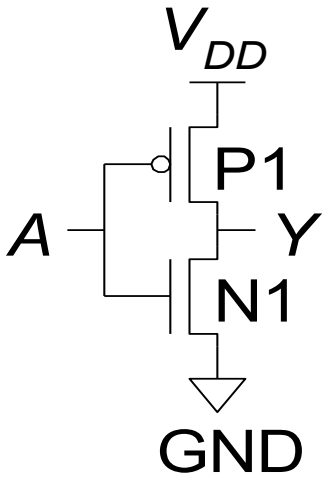
CMOS Gatter: NOT

NOT



$Y = \overline{A}$

A	Y
0	1
1	0

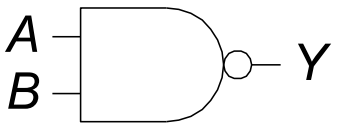


A	P1	N1	Y
0	EIN	AUS	1
1	AUS	EIN	0

CMOS Gatter: NAND

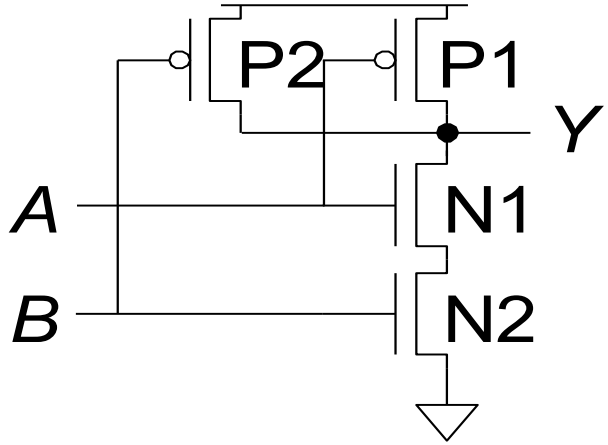
TECHNISCHE UNIVERSITÄT DARMSTADT

NAND



$Y = \overline{AB}$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

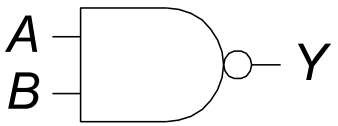


A	B	P1	P2	N1	N2	Y
0	0					
0	1					
1	0					
1	1					

CMOS Gates: NAND Gate

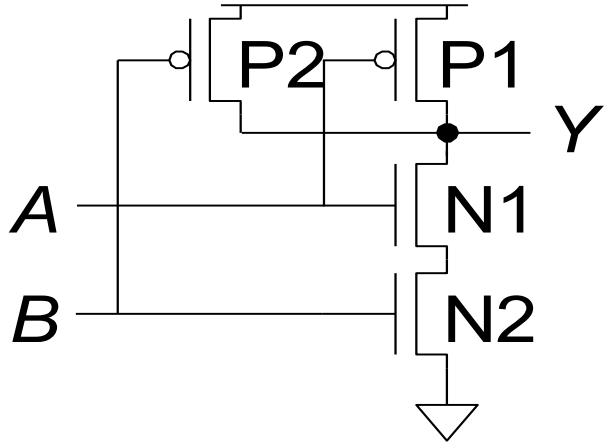
TECHNISCHE UNIVERSITÄT DARMSTADT

NAND



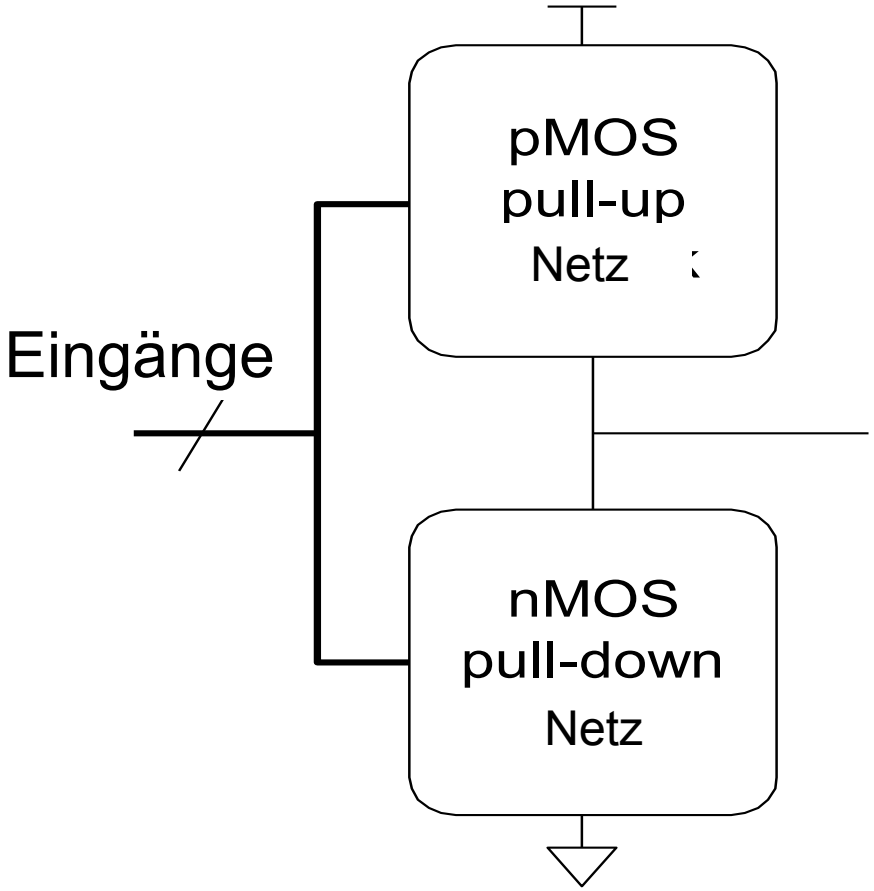
$Y = \overline{AB}$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



A	B	P1	P2	N1	N2	Y
0	0	EIN	EIN	AUS	AUS	1
0	1	EIN	AUS	AUS	EIN	1
1	0	AUS	EIN	EIN	AUS	1
1	1	AUS	AUS	EIN	EIN	0

Struktur eines CMOS Gatters



Wenn p-Transistoren in Reihenschaltung dann n-Transistoren in Parallelschaltung.

Wenn n-Transistoren in Reihenschaltung dann p-Transistoren in Parallelschaltung.

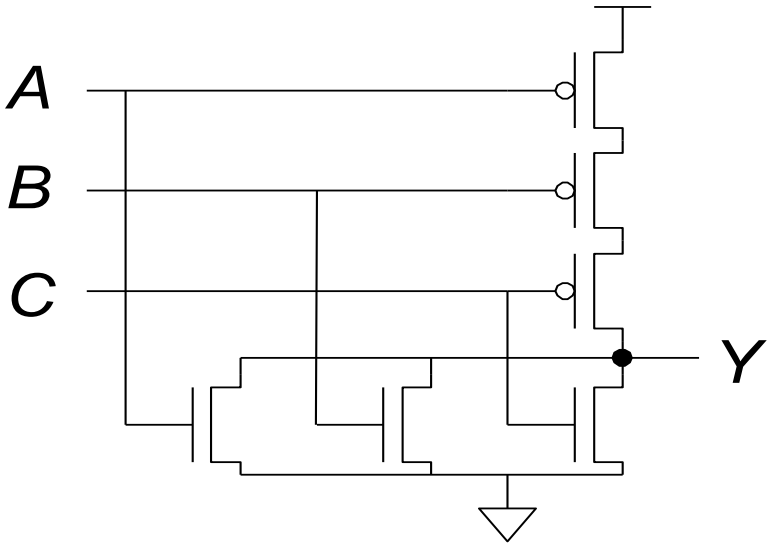
LEHRE WIKI TEST IN ZWEI FOLIEN

Aufbau eines NOR-Gatters mit drei Eingängen

Aufbau eines NOR-Gatters mit drei Eingängen

TECHNISCHE UNIVERSITÄT DARMSTADT

NOR Gatter mit drei Eingängen



MOODLE FRAGE

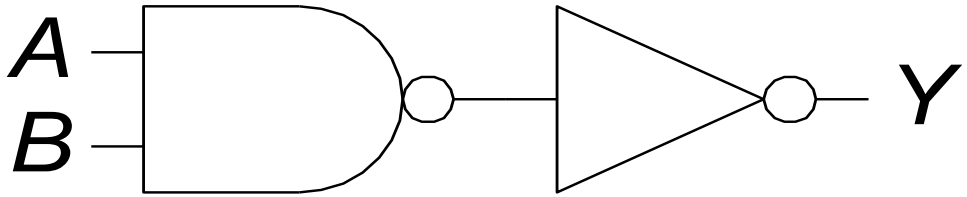
- Bitte jetzt auf LEHRE WIKI eine Frage beantworten!

Aufbau eines AND-Gatters mit zwei Eingängen

Aufbau eines AND-Gatters mit zwei Eingängen

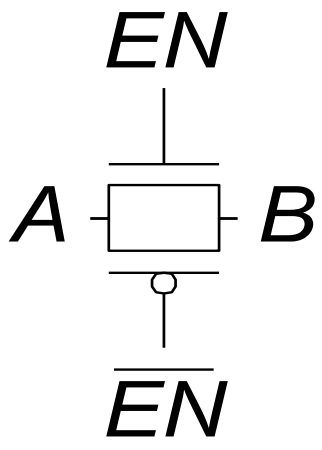
TECHNISCHE UNIVERSITÄT DARMSTADT

AND Gatter mit zwei Eingängen



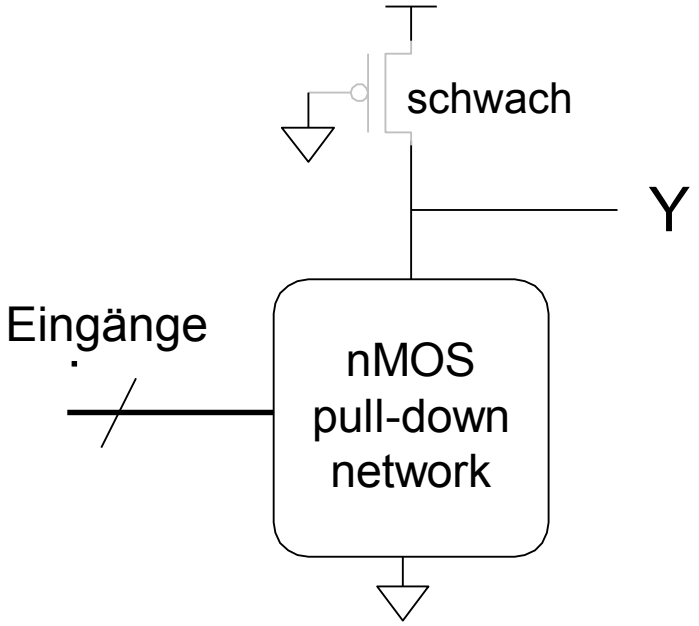
Transmissionsgatter (*transmission gates*)

- nMOS leiten 1'en schlecht weiter
- pMOS leiten 0'en schlecht weiter
- Transmissionsgatter ist ein besserer Schalter
  - Leitet 0 und 1 gut weiter
- Wenn $EN = 1$, Schalter ist EIN:
  - $\overline{EN} = 0$
  - A ist verbunden mit B
- Wenn $EN = 0$, Schalter ist AUS:
  - $\overline{EN} = 1$
  - A ist nicht verbunden mit B



Tricks: Pseudo-nMOS Gatter

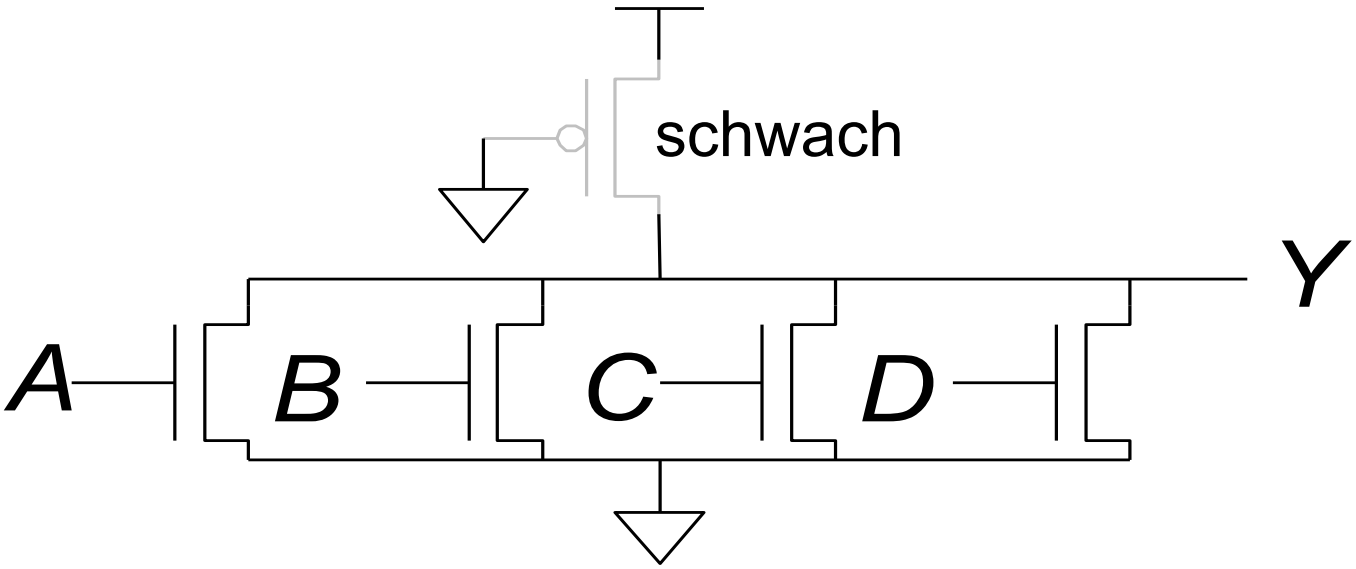
- Pseudo-nMOS Gatter ersetzen das Pull-Up Netz
- Durch schwachen immer eingeschalteten pMOS Transistor
  - Schwach heißt: Seine 1 kann durch das Pull-Down Netz neutralisiert werden
- Nützlich um lange Reihen von Transistoren zu vermeiden: breite NORs



Beispiel für Pseudo-nMOS Gatter

TECHNISCHE UNIVERSITÄT DARMSTADT

Pseudo-nMOS NOR4



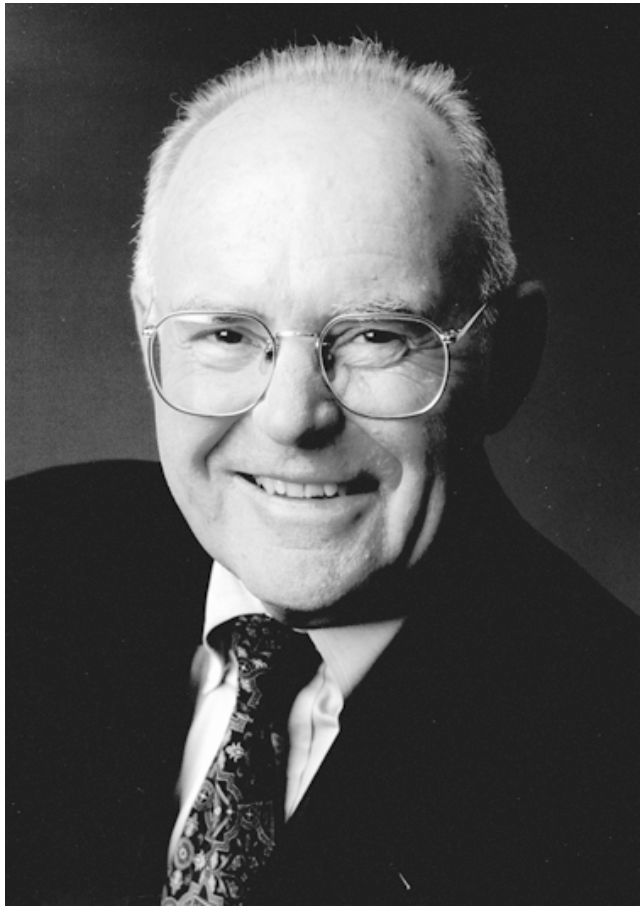
Verbraucht aber mehr Energie: Schwacher Dauerkurzschluss bei Y=0

Gordon Moore, 1929 -

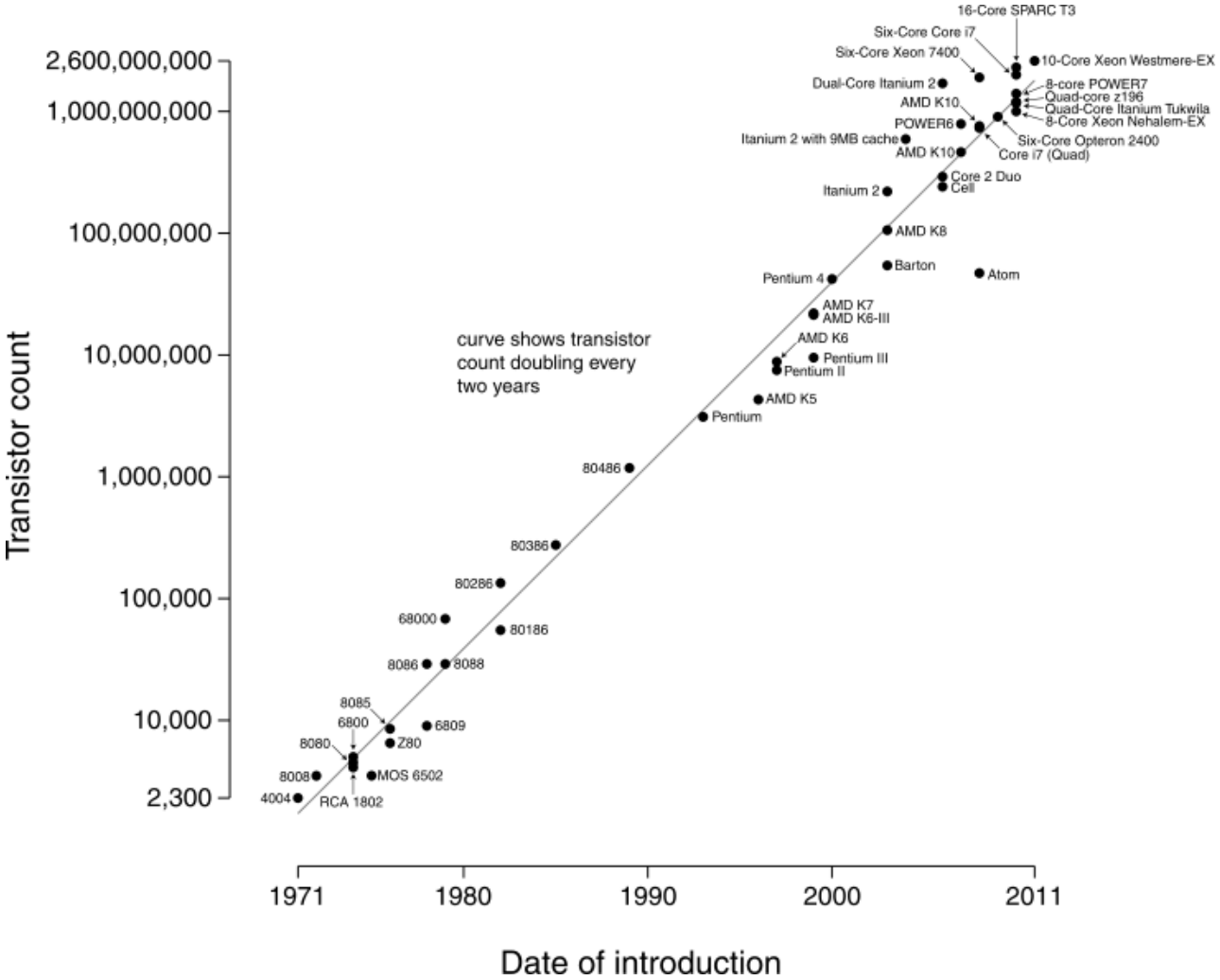
TECHNISCHE UNIVERSITÄT DARMSTADT

- Gründete Intel in 1968 zusammen mit Robert Noyce

- **Moores Gesetz:** Die Anzahl von Transistoren auf Chips verdoppelt sich
  - Jedes Jahr (1965)
  - Alle zwei Jahre (angepasst 1975)

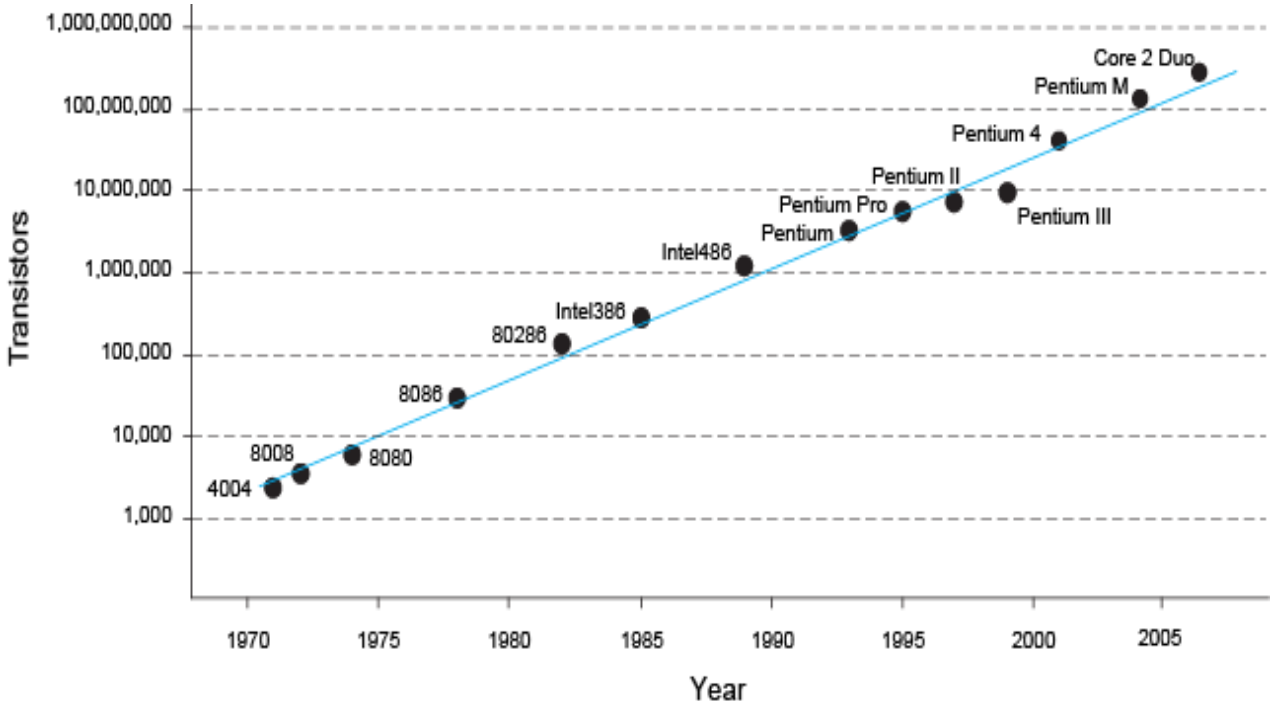


Moores Gesetz



Quelle: Wikipedia

Moores Gesetz



- *"Wenn sich das Auto wie die Computer entwickelt hätte, würde ein Rolls-Royce heute $100 kosten, 250 µl Benzin auf 100 km verbrauchen und einmal im Jahr explodieren …"*

  – Robert X. Cringely (Infoworld)

Leistungsaufnahme

TECHNISCHE UNIVERSITÄT DARMSTADT

- Leistung = Energieverbrauch pro Zeiteinheit
- Zwei Arten der Leistungsaufnahme:
  - Dynamische Leistungsaufnahme
  - Statische Leistungsaufnahme

Dynamische Leistungsaufnahme

TECHNISCHE UNIVERSITÄT DARMSTADT

- Leistung um Gates der Transistoren umzuladen
  - Wirken als Kondensator
- Leistung um einen Kondensator der Kapazität C auf V_{DD} zu laden:
  - $C\ V_{DD}^2$
- Schaltung wird mit Frequenz f betrieben
  - Transistoren schalten f-mal pro Sekunde
  - Aber nicht alle Transistoren schalten jeden Takt um 0-1-0 um
  - Annahme: Jeden Takt nur Laden oder Entladen
    - Halbe Leistungsaufnahme (realistischer wäre 0,1)
- Die dynamische Leistungsaufnahme ist also:

$$P_{dynamic} = \tfrac{1}{2}\, C\, V_{DD}^2\, f$$

Statische Leistungsaufnahme

TECHNISCHE UNIVERSITÄT DARMSTADT

- Leistungsbedarf wenn kein Gatter schaltet
- Wird verursacht durch den Leckstrom I_{DD}
  - Immer kleinere Transistoren schalten nicht mehr vollständig ab
  - Pseudo-nMOS, …

- Statische Leistungsaufnahme ist also

$$P_{static} = I_{DD} V_{DD}$$

LEHRE WIKI TEST IN ZWEI FOLIEN

Beispielrechnung Leistungsaufnahme

TECHNISCHE UNIVERSITÄT DARMSTADT

- Abschätzen der Leistungsaufnahme für ein Netbook
- Parameter
  - Versorgungsspannung V_{DD} = 1.2 V
  - Transistorkapazität C = 20 nF
  - Taktfrequenz f = 1 GHz
  - Leckstrom I_{DD} = 20 mA

Beispielrechnung Leistungsaufnahme

TECHNISCHE UNIVERSITÄT DARMSTADT

- Abschätzen der Leistungsaufnahme für ein Netbook
- Parameter
  - Versorgungsspannung V_{DD} = 1.2 V
  - Transistorkapazität C = 20 nF
  - Taktfrequenz f = 1 GHz
  - Leckstrom I_{DD} = 20 mA

$$P = \frac{1}{2} C V_{DD}^2 f + I_{DD} V_{DD}$$

$$= \frac{1}{2} (20\text{ nF}) (1.2\text{ V})^2 (1\text{ GHz}) + (20\text{ mA})(1.2\text{ V})$$

$$\mathbf{= 14{,}4\text{ W}}$$

LEHRE WIKI ` FRAGE

- Bitte jetzt auf LEHRE WIKI eine Frage beantworten!